Министерство Образования и Науки Украины

Севастопольский Национальный Технический Университет

Кафедра КиВТ

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовой работе

по дисциплине “ЦЭВМ"

"Синтез центрального обрабатывающего устройства ЦВМ"

Выполнил:

ст.гр.М41д

Голубев В.М.

Проверил:

Севастополь 2009

Содержание

ВВЕДЕНИЕ

1 ПОСТАНОВКА ЗАДАЧИ 4

2 РАЗРАБОТКА ФОРМАТОВ КОМАНД И ОПИСАНИЕ ИСПОЛЬЗУЕМЫХ

ФОРМАТОВ ДАННЫХ 5

3 СТРУКТУРНАЯ СХЕМА ЦОУ 8

4 ОБЪЕДИНЁННОЕ ГСА ФУНКЦИОНИРОВНИЯ ПРОЦЕССОРА 10

5 СТРУКТУРА ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА 16

6 СИНТЕЗ УА 17

6.1 Общая структура 17

6.2 Адресация МК(Микропрограмма) 18

6.3 Кодирование микроопераций 19

6.4 МП функционирования УА 20

6.5 Разработка принципиальной схемы УА 22

7 ОПРЕДЕЛЕНИЕ ВРЕМЕННЫХ ХАРАКТЕРИСТИК ЦОУ 23

###### ЗАКЛЮЧЕНИЕ

###### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

###### ВВЕДЕНИЕ

В данном курсовом проекте разработчику предлагается разработать центральное обрабатывающее устройство (ЦОУ).

Предлагается системы команд содержащая 5 видов команд: арифметическая, логическая, команда перехода, команда чтения ОП, команда чтения с устройства В/В.

Используя справочную литературу, проектировщик разработает форматы команд, составит алгоритм и построит по этому алгоритму граф-схему.

Затем рассмотрит общую структуру ЦОУ как систему, анализируя при этом из каких подсистем(отдельных устройств) должна состоять ЦОУ, чтобы функционально покрыть заданную систему команд, в результате построит структурную схему своего ЦОУ.

На этапе написания микропрограммы(МП) управления ЦОУ разработчик сначала рассмотрит структуру управляющего автомата(УА), затем закодирует условную, операционную и адресную часть микрокоманд и на этом этапе перейдёт к построению принципиальной электрической схемы, которая будет содержать: блок памяти программ, формирователь микроопераций(ФМО), формирователя адреса(ФА), блок управления сбросом и запуском ЦОУ и блок синхронизации. Также бут проведён анализ схемы ЭП установка дополнительных элементов с целью повышения надёжности (повышение помехоустойчивости). После проектировщик рассчитает временные задержки для синхросигналов.

Главным результатом проектирования будет построенная ГСА, ЦОУ, структурная схема и принципиальная электрическая схема УУ.

1 ПОСТАНОВКА ЗАДАЧИ

Разработать центральное обрабатывающее устройство(**ЦОУ**), которое реализует заданную систему команд.

Разработать систему команд, состоящую из 5 команд.

Команда арифметическая – вычитание четырехбайтных чисел с плавающей точкой (**F4**).

Команда логическая – конъюнкция над операндами размером один байт(**L1**).

Команда передачи управления – переход с возвратом.

Команда обращения к памяти – запись в оперативную память(**ОП**) слова(**I4**).

Команда ввода/вывода - передача байта из процессора(**П**) в модуль ввода/вывода(**МВВ**).

Совокупность команд должна включать следующие способы адресации операндов в команде:

* непосредственная,
* прямая,
* косвенная,
* косвенная через регистр,
* относительная.

Адресации микрокоманд в микропрограммах – принудительная.

Способ кодирования микроопераций(**МО**) - вертикально-горизонтальный.

Объём ОП – 128 Мбайт.

Объём регистровой памяти(**РП**) – 8 ячеек.

Объём регистровой памяти регистровая память для чисел с плавающей точкой (**РПП**) – 8 ячеек.

Рекомендуемая серия микросхем – К155.

Рекомендуемая микросхема постоянного запоминающего устройства(**ПЗУ**) – К155РЕ3.

Обобщенная структурная схема ЦОУ приведена на рисунке 1.1.

ОП – оперативная память,

МВВ – модуль ввода/вывода,

А – адрес,

Д – данные,

УС ∨ ОС – управляющие или осведомительные сигналы.



Рисунок 1.1 – Обобщенная структурная схема ЦОУ компьютера

2 РАЗРАБОТКА ФОРМАТОВ КОМАНД

Все форматы команд будут кратны 2 байтам (для облегчения процесса выборки команды из ОП). Адрес команды в ОП должен быть кратен 2 (согласно методу целочисленных границ). Под поле КОП в команде отводится 1 байт (принято, что система команд процессора состоит из 128-256 команд, а мы разрабатываем фрагмент).

Разрабатывается система команд с учётом заданных параметров устройств.

Объём ОП – 128Мбайт – 227 ячеек.

Следовательно, для адресации к ОП необходимо выделить 27 разрядов.

Объём РП(регистровая память) – 8 ячеек – 23 ячеек.

Следовательно, для адресации к РП необходимо выделить 3 разряда.

Объём РПП(регистровая память для чисел с плавающей точкой) – 8 ячеек – 23 ячеек.

Следовательно, для адресации к РПП необходимо выделить 3 разряда.

Опишем форматы команд[1].

**Вычитание с плавающей точкой** (класс 2).

Формат данных – 4х байтное число с плавающей точкой(**F4**).

Определим формат команды.(рисунок 2.1)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| КОП | R1 | B2 | | D2 | |
| 0 7 | 8 10 | 11 13 | 1416 | | 20 31 | |

Рисунок 2.1 – Структура формата команды

Способы адресации, используемые в команде: Относительная, Регистровая.

Команда вырабатывает следующие признаки результата:

* сумма равна нулю,
* сумма больше нуля,
* сумма меньше нуля,
* переполнение.

Команда может вызывать следующие прерывания программы:

* адресация,
* спецификация,

**Конъюнкция** (класс 4).

Операнды – двоичные вектора, длиной 1 байт(**L1**).

Так как операнды короткие, удобно использовать непосредственную адресацию.

Определим формат команды.(рисунок 2.2)

|  |  |  |
| --- | --- | --- |
| КОП | R1 | D2 |
| 0 7 | 8 15 | 16 31 | |

Рисунок 2.2 – Структура формата команды

Способы адресации, используемые в команде: Непосредственная, Косвенная.

Команда вырабатывает следующие признаки результата:

* результат равен нулю,
* результат не равен нулю.

Команда может вызывать следующие прерывания программы:

* адресация.

**Команда перехода по индексу меньше**(класс 6).

Команда сохраняет адрес текущей команды и передает управление в другое место.

Определим формат команды.(рисунок 2.3)

|  |  |  |
| --- | --- | --- |
| КОП | R1 | D2 |
| 0 7 | 8 15 | 16 31 | |

Рисунок 2.3 – Структура формата команды

Способы адресации, используемые в команде: Относительная, Регистровая.

Команда не вырабатывает признаки результата.

Команда может вызывать следующие прерывания программы:

* адресация.

**Команда чтения из памяти**(класс 1).

Операнд, содержащий число с фиксированной точкой длиной 4 байта(**I4**) переписывается из ячеек ОП, по адресу в регистре, номер которого содержит R2 в регистровую память по адресу заданному в регистре, номер которого хранится в R1. 8-байтные операнды располагаются в регистровых парах РП. Номер первого регистра пары четный.

R1 - номер регистра, в который будет записано число из ОП.

R2(кр) - номер регистра, который содержит адрес ОП по которому располагается число.

Определим формат команды.(рисунок 2.4)

|  |  |  |  |
| --- | --- | --- | --- |
| КОП | R1 | R2(кр) |  |
| 0 7 | 8 10 | 11 13 | 14 15 |

Рисунок 2.4 – Структура формата команды

Способы адресации, используемые в команде: Регистровая, Косвенная через регистр.

Команда не вырабатывает признаки результата.

Команда может вызывать следующие прерывания программы:

* адресация,
* спецификация.

Нарушение адресации и спецификации (адрес должен заканчиваться на три нуля, номер регистра, указанного в поле R1 должен быть четным).

**Команда ввода-вывода – ПМ** (класс 7).

Байт данных из порта процессора пересылается в порт устройства, адрес которого задан в команде (прямая адресация).

8-разрядный адрес дает возможность подключить к МВВ 256 устройств ввода/вывода.

Определим формат команды.(рисунок 2.5)

|  |  |
| --- | --- |
| КОП | A(УВВ) |
| 0 7 | 8 15 |

Рисунок 2.5 – Структура формата команды

Способы адресации, используемые в команде: Прямая.

Команда не вырабатывает признаки результата.

Команда не вызывает прерывания программы.

Таким образом, все заданные вариантом способы адресации реализованы.

Будем считать, что проектируемое устройство, реализующее пять определенных вариантом задания команд, является фрагментом процессора, реализующего от 128 до 256 команд. При этом в поле КОП команды будем выделять три поля: КОП(0:1) – для кода формата команды, КОП(2:4) – для кода класса команды, КОП(5:7) – для номера команды в списке класса. Код длины формата : 00 – 2 байта, 01 – 4 байта.

Результаты разработки системы команд сведем в таблицу 2.1.

Таблица 2.1 - Система команд процессора

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Номер  класса | Номер подкласса | Название | Содержание | ПР | Флаг | Код двоичн. | | | Код шест. |
| 01 | 234 | 567 |
| 2 | 1 | Вычитание с плавающей точкой | РП[R1] = РП[R1] - ОП[(В2)+D2] | >0  <0  =0  пр. | А  S  ППФ | 01 | 010 | 001 | 8Ah |
| 4 | 1 | Логическая операция – конъюнкция | ОП[(В2)+D2] = Im1 ^ ОП[(В2)+D2] | =0  ≠0 | А | 01 | 100 | 001 | 86h |
| 6 | 1 | Переход с возвратом | РСРПф:=000.РПр(0:1).  СЧАК(0:26). СчАК = (В2)+D2 | нет | А | 01 | 110 | 001 | 8Eh |
| 1 | 1 | Чтение из памяти | РП[R1] = ОП[РП[R2]]. | нет | А  S | 00 | 001 | 001 | 90h |
| 7 | 1 | Команда В/В – из процессора в МВВ | УВВ[AУВВ] = ПортД | нет | нет | 00 | 111 | 001 | 9Ch |

# 3 СТРУКТУРНАЯ СХЕМА ЦОУ

Схема обмена данными между Процессором, ОП и МВВ изображена на рисунке 3.1.



Рисунок 3.1 - Схема обмена данными в ЦОУ

Главным элементом процессорного блока является АЛУ.

Условное обозначение АЛУ показано на рисунке 3.2.



Рисунок 3.2 – Условное обозначение АЛУ

Двуместные операции в АЛУ выполняются над операндами, хранящимися в регистрах Р1(0:n-1) (первый операнд) и Р2(0:n-1) (второй операнд). Результат выполненной операции помещается в Р1. Разрядность регистров n выбирается равной максимальной длине операндов. Каждая операция АЛУ инициируется своим управляющим сигналом, поступающим на вход устройства управления (УУ). АЛУ вырабатывает три группы осведомительных сигналов: признаки результата, флаги прерываний, признак занятости.

Регистровая память (**РП**) организуется как сверхоперативная память с прямой адресацией. РП допускает выборку слова в течение одного такта. По типу РП определяется как раздельная (для данных в формате с фиксированной точкой и с плавающей точкой) или раздельная, состоящая из двух самостоятельных блоков (регистры общего назначения (РОН) и регистры данных формата с плавающей точкой (РПТ)). Условное обозначение блока РП показано на рисунке 3.3.



Рисунок 3.3 – Условное обозначение РП

Разрядность m регистра слова регистровой памяти (РСРП) определяется длиной информационного слова. Для проектируемого устройства m=32. Разрядность r регистра адреса регистровой памяти (РАРП) определяется как ⎡log2EРП⎤, где EРП – количество регистровых схем в блоке памяти.

На регистр команд (**РК**) выбирается из ОП команда, подлежащая исполнению. Разрядность РК определяется максимальной длиной формата команды(4 байта).

Счетчик адреса команды (**СчАК**), предназначенный для хранения адреса очередной выбираемой из ОП команды, обеспечивает адресацию к любому байту ОП.

Сумматор адреса (**СмА**), предназначен для вычисления исполнительного адреса (АИСП) в случае его задания в виде нескольких компонент (например, при относительной адресации АИСП=(B)+D). По разрядности СмА отличается от СчАК дополнительным старшим разрядом, фиксирующим переполнение.

Триггер перехода (**ТП**) сбрасывается в нулевое состояние, если исполняемая команда относится к группе команд обработки данных, и устанавливается в 1 в случае формирования адреса перехода при исполнении команды передачи управления. Учет состояния ТП может потребоваться при выборке команд из ОП.

Регистр признака результата (**РПр**) состоит из двух разрядов.

Регистра флагов прерываний (**РФП**) состоит из трёх триггеров:

* переполнения с фиксированной точкой (**Тпфт**),
* флаг нарушения спецификации (**S**),
* флаг нарушения адресации (**А**).

Буферный регистр (**БР**) выбирается размерностью полуслово.

Регистр слова оперативной памяти (**РСОП**) выбирается размером слово.

Регистр адреса оперативной памяти (**РАОП**) выбирается размером 26 разрядов.

Порт адреса (**ПортА**) выбирается размером 26 разрядов.

Порт данных (**ПортД**) выбирается размером слово.

Структурная схема ЦОУ представлена на чертеже 2008.М43.02.01.СС.

4 ОБЪЕДИНЁННОЕ ГСА ФУНКЦИОНИРОВНИЯ ПРОЦЕССОРА

Прежде чем разработать ГСА заданных команд, разрабатывается ГСА выборки команды.

ГСА выборки команды разрабатывается при следующих заданных параметрах: ЕОП=128МВ, ШВ=4 байта, в системе команд есть команды длиной 2 байта и 4 байта, команды загружаются на РК полусловами или словами.

Адрес выбираемой из ОП команды находится в СчАК.(Рисунок 4.1)



Рисунок 4.1 - Структура СчАК

Варианты считывания информации на регистр команд для приведенного варианта размещения команд в ОП обозначены стрелками соответствующей формы (начертания). Передача, изображенная пунктирной стрелкой, возможна только после выполнения команды перехода. Для уменьшения числа обращений к ОП в процессе выборки команды, в структурную схему процессора вводится буферный регистр БР(0:15). (Рисунок 4.2)



Рисунок 4.2 - Размещение команд в ОП при ширине выборки 4 байта

ТП – триггер, единичное значение которого сигнализирует о том, что адрес текущей команды попал в СчАК в результате выполнения команды перехода. ТП устанавливается в единичное значение в микропрограмме команды перехода.

ГСА выборки команды изображено на рисунке 4.3.



Рисунок 4.3 – ГСА выборки команд

Для реализации команд необходимы следующие модели устройств.

РК – регистр команд, хранит команду.

СмА(0:26) – сумматор адреса, состоит из 27 разрядов(0-й разряд используется для выявления факта переполнения), используется для вычисления полного адреса путём сложения базы и смещения.

АЛУ - арифметико-логическое устройство, выполняет операции: сложение, конъюнкция, сравнение. Разрядность регистров Р1 и Р2 АЛУ выбирается в соответствии с максимальной длиной данных, обрабатываемых на АЛУ. В данном случае n=32.

РП - регистровая память, состоит из 8 регистров, используется для временного хранения чисел.

РПП - регистровая память для чисел с плавающей точкой, состоит из 8 регистров.

РПр(0:1) - регистр признака результата, состоит из двух разрядов.

Тпфт - триггер переполнения с фиксированной точкой, состоит из одного разряда.

Триггер S - флаг нарушения спецификации, состоит из одного разряда.

Триггер А - флаг нарушения адресации, состоит из одного разряда.



Рисунок 4.4 – ГСА команды – вычитание с плавающей точкой



Рисунок 4.5 – ГСА логической команды - конъюнкция



Рисунок 4.6 – ГСА команды – передачи управления



Рисунок 4.7 – ГСА команды – запись в ОП



Рисунок 4.8 – ГСА команды – чтение из МВВ в процессор

Построение общей ГСА сводится к объединению раздельных ГСА выполнения команд и ГСА выборки команды.

После алгоритма выборке команды проверяется первый байт РК, если он равен одной из команд, то осуществляется переход на алгоритм этой команды и после её выполнения переход на алгоритм выборки команды и т.д., иначе устанавливается триггер конца(**К**) и переход на конец. При возникновении прерывания также осуществляется переход на конец.

Упрощенная структура объединённого ГСА функционирования процессора изображена на рисунке 4.9.



Рисунок 4.9 – Схема алгоритма функционирования ЦОУ

Объединенная ГСА функционирования процессора представлена на чертеже 2008.М43.02.02.ГС.

5 СТРУКТУРА ВЫВОДОВ ПРОЦЕССОРНОГО БЛОКА

Условное графическое обозначение (УГО) процессорного блока показано на рисунке 5.1. Процессор имеет внешние выводы адреса (А) и данных (D). Выводы RD, WR используются соответственно для сигналов «чтение» (**RD**) и «запись»(**WR**).

Контакт READY (готовность) используется для приема сигнала готовности (ZОП , ZВВ) от медленных внешних по отношению к процессору устройств (ОП, МВВ). Назначение выводов VCC (питание), GND (земля), RST (сброс), SET (установка), CLC (синхронизация)



Рисунок 5.1 – УГО процессорного блока

6 СИНТЕЗ УА

6.1 Общая структура.

Структурная схема управляющего автомата (**УА**)содержит следующие устройства:

Постоянное запоминающее устройство (**ПЗУ**) предназначено для хранения микропрограммы.

Регистр адреса микрокоманды (**РАМК**) предназначен для хранения адреса микрокоманды в ПЗУ.

Регистр микрокоманд (**РМК**) предназначен для хранения микрокоманды, которая состоит из следующих полей:

Операционная часть (**ОЧ**) содержит закодированные номера операционных сигналов.

Условная часть (**УЧ**) содержит закодированные номера осведомительных сигналов.

Адресная часть (**АЧ**) содержит адрес следующей команды, которая выберется из ПЗУ и занесётся в РМК.

Формирователь микроопераций (**ФМО**) предназначен для декодирования кода операции, который содержится в ОЧ РМК.

Мультиплексор (**MS**) предназначен для выработки сигнала Хх.

Блок управления и синхронизации (**БУС**) предназначен для запуска и остановки УА, и для синхронизации работы отдельных блоков УА.

Структурная схема управляющего устройства (УУ) изображена на рисунке 6.1.



Рисунок 6.1.1 – Обобщенная структура УА с программируемой логикой

А - сигнал, сбрасывающий УА.

В - сигнал, запускающий УА.

Сигнал А вырабатывается в результате сигнала STOP или сигнала Yk.